

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08095946 A**

(43) Date of publication of application: **12.04.96**

(51) Int. Cl.

**G06F 15/78**

**G06F 9/06**

**G06F 9/38**

**G06F 11/22**

**G06F 11/28**

(21) Application number: **06252717**

(71) Applicant: **NEC CORP**

(22) Date of filing: **22.09.94**

(72) Inventor: **SAKAIRI TETSUYA**

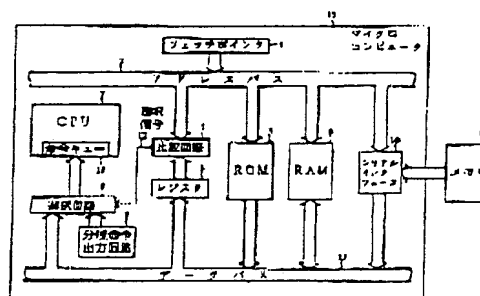
(54) **MICROCOMPUTER**

(57) Abstract:

**PURPOSE:** To enable a microcomputer to perform a normal operation by executing a correction program when a bug exists in a program on an incorporated ROM by performing control so as to supply a branch instruction to an instruction queue when a prefetch address to be outputted for prefetching an instruction is coincident with the contents of a register.

**CONSTITUTION:** When a bug exists in the program on a ROM 3, a CPU 7 continuously executes the program on the ROM 3 until a fetch pointer 1 reaches the leading address of the bug part. When the fetch pointer 1 arrives at the leading address of the bug part, namely, when the contents of the fetch pointer 1 and a register 6 are coincident with each other, a comparator circuit 5 outputs a high-level select signal 12 and a selecting circuit 8 receives the select signal 12, switches the program on the ROM 3 to the output of a branch instruction output circuit 9 and outputs the branch instruction to an instruction queue 15. The CPU 7 receives the branch instruction from the instruction queue 15 and executes it.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-95946

(43) 公開日 平成8年(1996)4月12日

(51) Int. Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/78	5 1 0 K			
9/06	5 4 0 N	7230-5B		
9/38	3 8 0 C			
11/22	3 5 0 B			
11/28	3 3 0 C	7313-5B		

審査請求 有 請求項の数 9 F D (全 11 頁)

(21) 出願番号 特願平6-252717

(22) 出願日 平成6年(1994)9月22日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 坂入 哲矢

東京都港区芝五丁目7番1号 日本電気株式会社内

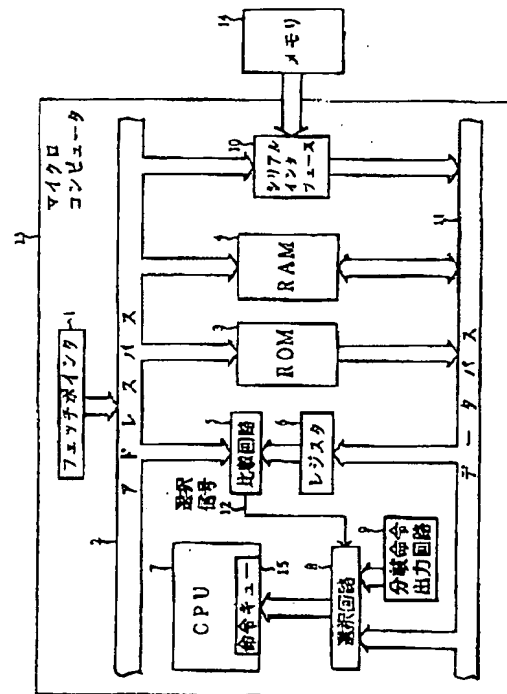
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 マイクロコンピュータ

(57) 【要約】

【目的】 命令キューを有するROM内蔵型マイクロコンピュータにおいて、内蔵ROM上のプログラムにバグが存在する場合、修正プログラムを実行させ、正常動作させるマイクロコンピュータの提供。

【構成】 命令キュー、フェッチポインタ、内蔵ROMのバグ部分のアドレスを格納するレジスタ、レジスタとフェッチポインタの内容を比較する比較回路の出力結果によりメモリ上のプログラム又は特定の分岐命令を出力する選択回路を備え、フェッチポインタの内容がレジスタの内容と一致した時点で、選択回路から分岐命令を命令キューへ転送し、CPUは該分岐命令の実行により修正プログラムに移行し、バグ部分の実行が回避される。



## 【特許請求の範囲】

【請求項1】プリフェッチされた命令を格納する命令キューと、プログラムを格納するROMと、を少なくとも含むマイクロコンピュータにおいて、  
所定のアドレス情報を記憶するレジスタと、  
所定の分岐命令を出力する分岐命令出力部と、を備え、  
命令を先取りするために出力されるプリフェッチアドレスと前記レジスタの内容とが一致した際に、前記命令キューに前記分岐命令出力部から出力される分岐命令を供給するように制御する、ことを特徴とするマイクロコンピュータ。

【請求項2】前記レジスタには外部から値が設定されるように構成されたことを特徴とする請求項1記載のマイクロコンピュータ。

【請求項3】前記分岐命令出力部が、分岐命令における分岐先アドレスを記憶する分岐先アドレスレジスタを備え、前記分岐先アドレスレジスタには外部から値が設定されるように構成されたことを特徴とする請求項1又は2記載のマイクロコンピュータ。

【請求項4】単一半導体基板上に、演算および制御を行うCPU、プログラムを格納するためのプログラムメモリ、前記CPUに取り込むべき命令のプログラムメモリ上のアドレスを示すフェッチポインタ、外部からデータを取り込むためのインタフェース手段、及び前記CPUが次以降に実行すべき命令を格納しておく命令キュー、を集積したマイクロコンピュータにおいて、  
前記インタフェース手段を介してマイクロコンピュータ外部から取り込んだ所定のアドレス情報を記憶する記憶手段と、  
前記記憶手段に記憶されたアドレス情報と前記フェッチポインタの内容とを比較し、その比較結果に基づき選択信号を出力する比較手段と、  
前記CPUの実行すべきプログラムのアドレスを変更するための分岐命令を出力する分岐命令出力手段と、  
前記選択信号が真のとき前記分岐命令を、偽のとき前記プログラムメモリの内容を、前記命令キューに出力する選択手段と、を備え、  
前記CPUが前記プログラムメモリ上のプログラムを実行していく上で、前記インタフェース手段を介して取り込んだ前記記憶手段のアドレス情報と前記フェッチポインタの内容とが一致した場合、前記CPUが前記分岐命令出力手段から出力された分岐命令を実行して、前記CPUが次に実行すべきアドレスの変更を行う、  
ように構成されたことを特徴とするマイクロコンピュータ。

【請求項5】単一半導体基板上に、演算および制御を行うCPU、プログラムを格納するためのプログラムメモリ、前記CPUに取り込むべき命令のプログラムメモリ上のアドレスを示すフェッチポインタ、外部からデータを取り込むためのインタフェース手段、前記CPUが次

以降に実行すべき命令を格納しておく命令キューを集積したマイクロコンピュータにおいて、  
前記インタフェース手段を介してマイクロコンピュータ外部から取り込んだ複数の所定のアドレス情報を記憶する複数の記憶手段と、  
前記複数の記憶手段の内容と前記フェッチポインタの内容とを比較し、その結果に基づき一又は複数の選択信号を出力する、一又は複数の比較手段と、  
前記CPUの実行すべきプログラムのアドレスを変更するための一又は複数の分岐命令を出力する一又は複数の分岐命令出力手段と、  
前記選択信号が全て偽のとき前記プログラムメモリの内容を前記命令キューに出力し、それ以外の時は前記選択信号により選択された一又は複数の分岐命令出力手段からの分岐命令を出力する選択手段と、を備え、  
前記CPUが前記プログラムメモリ上のプログラムを実行していく上で、前記インタフェース手段を介して取り込んだ前記複数の記憶手段のいずれか一のアドレス情報と前記フェッチポインタの内容とが一致した場合、前記CPUが選択された分岐命令出力手段からの前記分岐命令を実行し、前記CPUが次に実行すべきアドレスの変更を行う、  
ように構成されたことを特徴とするマイクロコンピュータ。

【請求項6】前記インタフェース手段の代わりに、マイクロコンピュータ外部の記憶装置に対して、データのやり取りを行うためのポートを有する請求項4又は5記載のマイクロコンピュータ。

【請求項7】単一半導体基板上に、演算および制御を行うCPU、プログラムを格納するためのプログラムメモリ、前記CPUに取り込むべき命令のプログラムメモリ上のアドレスを示すフェッチポインタ、外部からデータを取り込むためのインタフェース手段、前記CPUが次以降に実行すべき命令を格納しておく命令キューを集積したマイクロコンピュータにおいて、  
前記インタフェース手段を介してマイクロコンピュータ外部に配設された記憶手段から取り込んだ修正アドレス情報と分岐先アドレス情報とをそれぞれ記憶するための修正アドレス記憶手段、及び分岐先アドレス記憶手段を備え、さらに、前記修正アドレス記憶手段と前記フェッチポインタとの内容を比較し、その比較結果に基づき選択信号を出力する比較手段と、  
前記CPUの実行すべきプログラムのアドレスを前記分岐先アドレス記憶手段の内容に変更するための分岐命令を出力する分岐命令出力手段と、  
前記選択信号が真のとき前記分岐命令を、偽のとき前記プログラムメモリの内容を前記命令キューに出力する選択手段と、を備え、  
前記CPUが前記プログラムメモリ上のプログラムを実行していく上で、前記インタフェース手段を介して取り

込んだ前記修正アドレス記憶手段の修正アドレス情報と前記フェッチポイントの内容とが一致した場合、前記CPUが前記分岐先アドレス記憶手段中のアドレスへの分岐命令を実行し、前記CPUが次に実行すべきアドレスの変更を行う、

ように構成されたことを特徴とするマイクロコンピュータ。

【請求項8】単一半導体基板上に、演算および制御を行うCPU、プログラムを格納するためのプログラムメモリ、前記CPUに取り込むべき命令のプログラムメモリ上のアドレスを示すフェッチポイント、外部からデータを取り込むためのインタフェース手段、前記CPUが次以降に実行すべき命令を格納しておく命令キューを集積したマイクロコンピュータにおいて、

前記インタフェース手段を介しマイクロコンピュータ外部の記憶手段から取り込んだ複数の修正アドレス情報と複数の分岐先アドレス情報とをそれぞれ記憶するための複数の修正アドレス記憶手段及び複数の修正アドレス記憶手段を備え、さらに、

前記複数の修正アドレス記憶手段とフェッチポイントの内容を比較し、その結果に基づき一又は複数の選択信号を出力する一又は複数の比較手段と、

前記CPUの実行すべきプログラムのアドレスを前記分岐先アドレス記憶手段の内容に変更するための分岐命令を出力する一又は複数の分岐命令出力手段と、

前記複数の選択信号が全て偽のとき前記プログラムメモリの内容を、それ以外の時は前記選択信号にて選択された分岐命令出力手段からの分岐命令を前記命令キューに出力する選択手段と、を備え、

前記CPUが前記プログラムメモリ上のプログラムを実行していく上で、前記インタフェース手段を介し取り込んだ前記複数の修正アドレス記憶手段のいずれかの修正アドレス情報と前記フェッチポイントの内容とが一致した場合、前記CPUが前記複数の分岐先アドレス記憶手段のうち選択された分岐先アドレス記憶手段のアドレスへの分岐命令を実行し、前記CPUが次に実行すべきアドレスの変更を行う、

ことを特徴とするマイクロコンピュータ。

【請求項9】前記インタフェース手段の代わりに、マイクロコンピュータ外部の記憶装置に対して、データのやり取りを行うためのポートを有する請求項7又は8記載のマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は情報処理装置に関し、特に単一半導体基板上に、演算および制御を行うCPU、プログラムを格納するためのプログラムメモリ、前記CPUに取り込むべき命令のプログラムメモリ上のアドレスを示すフェッチポイント、外部からデータを取り込むためのインタフェース手段、前記CPUが次以降に実行

すべき命令を先取り（プリフェッチ）して格納しておく命令キューを集積したマイクロコンピュータに関する。

【0002】

【従来の技術】マイクロコンピュータは、演算および制御を行うCPUと、メモリ、タイマーなどの周辺回路を1チップ上に収めた集積回路であり、家電製品やOA機器などあらゆる分野で利用されている。

【0003】マイクロコンピュータを制御するためのプログラムは、通常マスクROMと呼ばれる読み出し専用の記憶回路に書き込まれている。マスクROMへのプログラムの書き込みはマイクロコンピュータの製造工程で行われており、製造後その内容を変更することはできない。

【0004】このため、ユーザーが製品を受け取った後にプログラム中にバグが発見された場合、プログラムの内容を書き換えることができないため、それらの製品はすべて無駄となってしまい、再び発注、製造し直さなければならないことになる。一月当たり膨大な数量の製品が製造される家電製品等にマイクロコンピュータが搭載される場合、その損害は莫大なものとなる。

【0005】この膨大な損害を回避するために、本発明と同一出願人により出願された特願平5-215616号には、マイクロコンピュータ製造後に、プログラムのバグが存在するアドレスの実行を回避して、修正後のプログラムを実行できるマイクロコンピュータを提供することを目的として、次のような方法が提案されている。以下これを従来例として説明する。

【0006】図5に、前記特願平5-215616号に提案されるマイクロコンピュータの概略構成をブロック図にて示す。

【0007】図5を参照して、プログラムカウンタ23は、CPU24が実行すべき命令が格納されているアドレスを順次指し示すカウンタである。ROM3は、読み出し専用のメモリで、ここにプログラムが書き込まれており、アドレスバス2、データバス11と接続されている。アドレスバス2にはアドレスデータが送出され、データバス11はデータの転送を行う。

【0008】RAM4は、読み書き可能なメモリで、アドレスバス2、データバス11と接続されている。シリアルインタフェース10は、メモリ14とデータバス2、アドレスバス11と接続されており、メモリ14からデータを取り込み、そのデータをデータバス11に送出する。

【0009】マイクロコンピュータ25の外部に配置されたメモリ14には、プログラムのバグ部分の先頭アドレスと修正プログラムが格納されている。

【0010】レジスタ6は、バグ部分の先頭アドレスデータを格納しておくための記憶回路である。比較回路5は、レジスタ6との内容プログラムカウンタ23の内容とを比較し、これらが一致した場合にハイレベルとき

れ、一致していない場合にはロウレベルとされる選択信号12を出力する。

【0011】分岐命令出力回路9は、RAM4に格納される修正プログラムの先頭アドレスへの分岐命令を選択回路8へ出力する。選択回路8は、選択信号12を受け、選択信号12がハイレベルのときは分岐命令出力回路からの分岐命令を、ロウレベルのときにはROM3又はRAM4上のプログラムをCPU24へ出力する。CPU24では入力された命令を解説・実行し、これによりプログラムが実行される。

【0012】次に、図5を参照して、特開平5-215616号に提案されるマイクロコンピュータの動作を説明する。

【0013】まず、システム初期化時において、メモリ14からシリアルインタフェース10を介して、バグ部分の先頭アドレスデータがレジスタ6にセットされ、修正プログラムがRAM4中にロードされる。

【0014】ROM3上のプログラムがCPU24により実行され、それとともにプログラムカウンタ23がカウントアップされる。

【0015】そして、プログラムカウンタ23の内容がレジスタ6にセットされているバグ部分の先頭アドレスと一致すると、比較回路5からハイレベルの選択信号12が出力され、選択回路8は、ROM3又はRAM4上のプログラムをCPU24への転送することを中止して、分岐命令出力回路9からの分岐命令をCPU24に転送する。

【0016】CPU24は、分岐命令出力回路9からの分岐命令を実行し、プログラムカウンタ23がRAM4上の修正プログラムの先頭アドレスにセットされ、CPU24は修正プログラムを実行することになる。

【0017】そして、修正プログラムの最後の部分に、バグ部分後のアドレスへの分岐命令を挿入しておくことにより、元のプログラムに戻ることができる。

【0018】このような方法により、ROM3に格納されたプログラムのバグ部分を回避し、RAM4上の修正プログラムを実行させ、バグの修正を行うことができる。

【0019】

【発明が解決しようとする課題】近年、マイクロコンピュータの処理速度を向上させるためのさまざまな設計方式が開発され利用されており、その一つに命令キューを利用する方式がある。

【0020】通常のマイクロコンピュータでは、CPUの命令の取り込み、命令の解説、命令の実行という処理が順次的に行われていた。このため、命令の取り込むために要する時間が命令実行時間の中で比較的大きな比率を占めていた。

【0021】そこで、CPU内において、命令取込み段階と命令解説段階との間に複数の命令を格納可能な記憶

回路から成る命令キュー（「命令バッファ」、あるいは「プリフェッチ・キュー」ともいう）を具備し、CPUが一の命令を解説・実行している間にバスの空き時間等を有効に利用して、次の命令を先取り（プリフェッチ）して命令キューに格納しておくようにする。

【0022】これにより、一の命令の実行が終わると直ちにCPUは命令キューに格納されている次の命令を実行することが可能とされ、命令をCPUに取り込むための時間を短縮することができる。すなわち、一の命令の実行サイクルと他の命令の命令取り込みサイクルがオーバーラップしてパイプライン化される。

【0023】従って、この命令キューの採用により、CPUの命令実行速度が上がり、マイクロコンピュータの処理速度は格段に向上している。

【0024】ところが、命令キューを有するマイクロコンピュータにおいては、前記従来例を利用することはできないという問題がある。以下にその理由を詳説する。

【0025】もし、従来例をそのまま利用しようとした場合、プログラムカウンタがバグ部分の先頭アドレスに到達した時点では、命令キュー内にはすでに先取り（プリフェッチ）されたいくつかの命令が取り込まれており、その中にバグ部分も先取りされて当然含まれてしまっていることになる。

【0026】このため、バグ部分の命令後に分岐命令が命令キュー内に取り込まれることになり、CPUはバグ部分を実行してから、分岐命令を実行することになる。従って、バグ部分の実行の回避はできない。

【0027】また、プログラムカウンタがバグ部分の先頭アドレスに達したときに、命令キューからではなく、分岐命令出力回路からの信号を直接CPUに入力すれば、バグ部分の実行は確かに回避されるが、命令キューはCPUの処理速度を上げるためCPU内に具備されたものであるため、この方法を実現するにはCPUの大幅な改造が必要となる。

【0028】マイクロコンピュータにおいて、CPUは最も重要な回路ユニットであり、基盤となる部分であるため、回路的な欠陥があるならまだしも、これを改造することは望ましくない。

【0029】そのため、CPU自体を改造するのではなく、周辺回路を追加又は変更することにより、マイクロコンピュータの機能追加を行うことが好ましい。

【0030】本発明は、このような問題を鑑みてなされたものであり、本発明の目的は、命令の先取り（プリフェッチ）を行うための命令キューを有するROM内蔵型マイクロコンピュータにおいて、内蔵ROM上のプログラムにバグが存在する場合に、バグ部分の実行を回避し、それに代わるプログラムを実行させることにより、正常に動作させることを可能とするマイクロコンピュータを提供することにある。

【0031】

【課題を解決するための手段】前記目的は、本発明によれば、プリフェッチされた命令を格納する命令キューと、プログラムを格納するROMと、を少なくとも含むマイクロコンピュータにおいて、所定のアドレス情報を記憶するレジスタと、所定の分岐命令を出力する分岐命令出力部と、を備え、命令を先取りするために出力されるプリフェッチアドレスと前記レジスタの内容とが一致した際に、前記命令キューに前記分岐命令出力部から出力される分岐命令を供給するように制御する、ことを特徴とするマイクロコンピュータによって達成される。

【0032】本発明においては、前記レジスタには外部から値が設定されるように構成されたことを特徴とする。

【0033】また、本発明においては、別の視点において、前記分岐命令出力部が、分岐命令における分岐先アドレスを記憶する分岐先アドレスレジスタを備え、前記分岐先アドレスレジスタには外部から値が設定されるように構成されたことを特徴とすることを特徴とする。

【0034】そして、本発明は、好ましい態様として、単一半導体基板上に、演算および制御を行うCPU、プログラムを格納するためのプログラムメモリ、前記CPUに取り込むべき命令のプログラムメモリ上のアドレスを示すフェッチポイント、外部からデータを取り込むためのインタフェース手段、及び前記CPUが次以降に実行すべき命令を格納しておく命令キュー、を集積したマイクロコンピュータにおいて、前記インタフェース手段を介してマイクロコンピュータ外部から取り込んだ所定のアドレス情報を記憶する記憶手段と、前記記憶手段に記憶されたアドレス情報と前記フェッチポイントの内容とを比較し、その比較結果に基づき選択信号を出力する比較手段と、前記CPUの実行すべきプログラムのアドレスを変更するための分岐命令を出力する分岐命令出力手段と、前記選択信号が真のとき前記分岐命令を、偽のとき前記プログラムメモリの内容を、前記命令キューに出力する選択手段と、を備え、前記CPUが前記プログラムメモリ上のプログラムを実行していく上で、前記インタフェース手段を介して取り込んだ前記記憶手段のアドレス情報と前記フェッチポイントの内容とが一致した場合、前記CPUが前記分岐命令出力手段から出力された分岐命令を実行して、前記CPUが次に実行すべきアドレスの変更を行う、ように構成されたことを特徴とするマイクロコンピュータを提供する。

【0035】また、本発明は、別の好ましい態様として、単一半導体基板上に、演算および制御を行うCPU、プログラムを格納するためのプログラムメモリ、前記CPUに取り込むべき命令のプログラムメモリ上のアドレスを示すフェッチポイント、外部からデータを取り込むためのインタフェース手段、前記CPUが次以降に実行すべき命令を格納しておく命令キュー、を集積したマイクロコンピュータにおいて、前記インタフェース手段

を介してマイクロコンピュータ外部から取り込んだ複数の所定のアドレス情報を記憶する複数の記憶手段と、前記複数の記憶手段の内容と前記フェッチポイントの内容とを比較し、その結果に基づき一又は複数の選択信号を出力する、一又は複数の比較手段と、前記CPUの実行すべきプログラムのアドレスを変更するための一又は複数の分岐命令を出力する一又は複数の分岐命令出力手段と、前記選択信号が全て偽のとき前記プログラムメモリの内容を前記命令キューに出力し、それ以外の時は前記選択信号により選択された一の分岐命令出力手段からの分岐命令を出力する選択手段と、を備え、前記CPUが前記プログラムメモリ上のプログラムを実行していく上で、前記インタフェース手段を介して取り込んだ前記複数の記憶手段のいずれかのアドレス情報と前記フェッチポイントの内容とが一致した場合、前記CPUが選択された分岐命令出力手段からの前記分岐命令を実行し、前記CPUが次に実行すべきアドレスの変更を行う、ように構成されたことを特徴とするマイクロコンピュータを提供する。

【0036】本発明は、別の視点において、好ましい態様として、単一半導体基板上に、演算および制御を行うCPU、プログラムを格納するためのプログラムメモリ、前記CPUに取り込むべき命令のプログラムメモリ上のアドレスを示すフェッチポイント、外部からデータを取り込むためのインタフェース手段、前記CPUが次以降に実行すべき命令を格納しておく命令キューを集積したマイクロコンピュータにおいて、前記インタフェース手段を介してマイクロコンピュータ外部に配設された記憶手段から取り込んだ修正アドレス情報と分岐先アドレス情報とをそれぞれ記憶するための修正アドレス記憶手段、及び分岐先アドレス記憶手段を備え、さらに、前記修正アドレス記憶手段と前記フェッチポイントとの内容を比較し、その比較結果に基づき選択信号を出力する比較手段と、前記CPUの実行すべきプログラムのアドレスを前記分岐先アドレス記憶手段の内容に変更するための分岐命令を出力する分岐命令出力手段と、前記選択信号が真のとき前記分岐命令を、偽のとき前記プログラムメモリの内容を前記命令キューに出力する選択手段と、を備え、前記CPUが前記プログラムメモリ上のプログラムを実行していく上で、前記インタフェース手段を介して取り込んだ前記修正アドレス記憶手段の修正アドレス情報と前記フェッチポイントの内容とが一致した場合、前記CPUが前記分岐先アドレス記憶手段中のアドレスへの分岐命令を実行し、前記CPUが次に実行すべきアドレスの変更を行う、ように構成されたことを特徴とするマイクロコンピュータを提供する。

【0037】さらに、本発明は、別の好ましい態様として、単一半導体基板上に、演算および制御を行うCPU、プログラムを格納するためのプログラムメモリ、前記CPUに取り込むべき命令のプログラムメモリ上のア

ドレスを示すフェッチポインタ、外部からデータを取り込むためのインタフェース手段、前記CPUが次以降に実行すべき命令を格納しておく命令キューを累積したマイクロコンピュータにおいて、前記インタフェース手段を介しマイクロコンピュータ外部の記憶手段から取り込んだ複数の修正アドレス情報と複数の分岐先アドレス情報とをそれぞれ記憶するための複数の修正アドレス記憶手段及び複数の修正アドレス記憶手段を備え、さらに、前記複数の修正アドレス記憶手段とフェッチポインタの内容を比較し、その結果に基づき一又は複数の選択信号を出力する一又は複数の比較手段と、前記CPUの実行すべきプログラムのアドレスを前記分岐先アドレス記憶手段の内容に変更するための分岐命令を出力する一又は複数の分岐命令出力手段と、前記複数の選択信号が全て偽のとき前記プログラムメモリの内容を、それ以外の時は前記選択信号にて選択された分岐命令出力手段からの分岐命令を前記命令キューに出力する選択手段と、を備え、前記CPUが前記プログラムメモリ上のプログラムを実行していく上で、前記インタフェース手段を介し取り込んだ前記複数の修正アドレス記憶手段のいずれかの修正アドレス情報と前記フェッチポインタの内容とが一致した場合、前記CPUが前記複数の分岐先アドレス記憶手段のうち選択された分岐先アドレス記憶手段のアドレスへの分岐命令を実行し、前記CPUが次に実行すべきアドレスの変更を行う、ことを特徴とするマイクロコンピュータマイクロコンピュータを提供する。

#### 【0038】

【作用】本発明によれば、外部からレジスタにバグ部分のアドレス情報を与え、プログラムを実行していく過程でフェッチポインタの内容がレジスタの内容と一致した時点で、選択回路から予め定められた所定の分岐命令を命令キューへ転送し、CPUが該分岐命令を実行することにより、バグ部分の実行を回避し、別のアドレスに予め格納されている修正プログラムが実行され、バグ部分の実行が回避される。

【0039】本発明は別の視点において、外部からその値が任意に設定可能な分岐先アドレスを備え、外部ROMから修正プログラムをマイクロコンピュータ内に取り込まなくて済むため、プログラムのイニシャライズルーチンはバグ先頭アドレスと、分岐先アドレスを各レジスタに設定するだけでよく、プログラムが簡略化しサイズが縮減されると共に、フェッチポインタがバグ部分に達した際の分岐先アドレスを自由に設定できるため、プログラムや修正プログラムのメモリ上の位置やサイズについての制約を大幅に緩和し、設計自由度を増大させている。

【0040】さらに、本発明においては、マイクロコンピュータ内にレジスタと分岐命令発生回路を好ましくは複数具備することにより、複数のバグに対応して、それぞれ異なる修正を行うことができるようになる。

#### 【0041】

【実施例】図面を参照して、本発明の実施例を以下に説明する。

#### 【0042】

【実施例1】図1は、本発明の第1の実施例の構成を示すブロック図である。

【0043】図1を参照して、フェッチポインタ1は、ROM3又はRAM4から命令キュー15に取り込むべきプログラムのアドレスを示す16ビットのカウントである。アドレスバス2はアドレスデータを、データバス11はデータを転送するための16ビットのバスである。

【0044】ROM3は、読み出し専用のメモリで、アドレス0000H~FFFFH(Hは16進数を表す)のメモリ空間に対応し、ここにプログラムが格納される。RAM3は、読み書き可能なメモリで、アドレスF000H~FFFFHのメモリ空間に対応する。

【0045】外部に配置されたメモリ14には、バグ部分の先頭アドレスと修正プログラムが格納されている。

【0046】シリアルインタフェース10は、メモリ14内のバグ部分の先頭アドレスと修正プログラムをマイクロコンピュータ13内に取り込む。

【0047】レジスタ6は、シリアルインタフェース10とデータバス11を介して取り込んだバグ部分の先頭アドレスを格納記憶する。

【0048】比較回路5は、レジスタ6の内容と、アドレスバス2を介して入力されたフェッチポインタ1の内容と、を比較し、これらが互いに一致した場合にはハイレベルとされ、一致しなかった場合にはロウレベルとされる選択信号12を出力する。

【0049】分岐命令出力回路9は、RAM4上のアドレスF000Hへの分岐命令を出力する。

【0050】選択回路8は、比較回路5からの選択信号12がハイレベル(=アクティブ)のときに分岐命令出力回路9からの分岐命令を命令キュー15に出力し、選択信号12がロウレベル(=インアクティブ)のときにはROM3又はRAM4上のプログラムを命令キュー15に出力する。

【0051】命令キュー15は、CPU7が命令を実行している間に先読み(プリフェッチ)された命令が格納される5バイトのバッファである。

【0052】CPU7は、命令キュー15から命令を取り出し命令デコーダ部(不図示)にて命令を解釈し、実行ユニット(不図示)にて解釈された命令を実行する。

【0053】次に、本実施例において、ROM3上のプログラム中にバグが存在する場合に、これを回避する動作原理を説明する。

【0054】ここで、図2のメモリマップに示すように、プログラムはROM3上のアドレス1000H~7FFFHに存在し、そのうちアドレス4000H~40



0FHにバグが存在するものと仮定する。

【0055】また、図2を参照して、プログラム開始アドレス設定のためのベクター・テーブル0000Hには、プログラム開始アドレス1000Hがセットされており、これにより、マイクロコンピュータ13のリセット解除後、アドレス1000Hがフェッチポインタ1にセットされ、アドレス1000Hからプログラムの実行が開始される。

【0056】予め、バグの存在を想定して、プログラムのイニシャライズ部分には、シリアルインタフェース10を介して、メモリ14からバグ部分の先頭アドレスと修正プログラムをマイクロコンピュータ13内に取り込むためのルーチンを挿入しておく。

【0057】このイニシャライズ部分の実行により、バグ部分の先頭アドレス4000Hと修正プログラムがメモリ14からマイクロコンピュータ13内に取り込まれ、マイクロコンピュータ13内に取り込まれたバグ部分の先頭アドレスはレジスタ6にセットされ、また修正プログラムはRAM4のアドレスF000H以降に格納される。

【0058】この後、フェッチポインタ1がバグ部分の先頭アドレスに達するまで、CPU7はROM3上のプログラムを実行し続ける。

【0059】そして、フェッチポインタ1がバグ部分の先頭アドレスに達すると、すなわちフェッチポインタ1とレジスタ6の内容とが互いに一致すると、比較回路5はハイレベルの選択信号12を出力し、選択回路8は選択信号12を受けてROM3上のプログラムから分岐命令出力回路9の出力に切り換えて、分岐命令を命令キュー15へ出力する。

【0060】ここで分岐命令出力回路9は、アドレスF000Hへの分岐命令「BR ! F000H」を出力するため、CPU7は、命令キュー15からの分岐命令を受け取り実行する。

【0061】一般に、分岐命令の実行により命令キューの内容はクリアされるよう構成され手折り、分岐命令により命令キュー15の内容はクリアされる。また、フェッチポインタ1はF000Hにセットされ、図2に示すように、RAM4上の修正プログラムがCPU7により実行されることになる。

【0062】修正プログラムの最後の部分に、アドレス4010Hへの分岐命令「BR ! 4010H」を入れておくことにより、修正プログラム実行後、元のROM3上のプログラムに戻り、本来のプログラムが実行されるようになる。

【0063】以上のような手順により、ROM3上のプログラムのアドレス4000H～400FHのバグ部分を実行せずに、RAM4上のアドレスF000H～F01FHの修正プログラムを実行し、その後再びROM3上のプログラムを実行させることができる。

【0064】本実施例によれば、マイクロコンピュータのROM3上のプログラムにバグが発生しても、バグの修正が可能とされるため、それらのマイクロコンピュータを廃棄せずに有効に利用することを可能とし、損失を回避するものである。

【0065】そして、本実施例においては、修正プログラムのプログラムサイズは固定されていないため、単にバグの修正に対処するためだけでなく、新たなプログラムの追加等に利用することができる。

【0066】

【実施例2】次に本発明の第2の実施例を説明する。図3は本発明の第2の実施例の構成を示すブロック図である。図3において、図1と同一の機能を有する要素には同一の参照番号が附されている。

【0067】本実施例は、外部メモリ領域をもつマイクロコンピュータに本発明を適用したものである。すなわち、本実施例に係るマイクロコンピュータはポートを通じて外部のメモリとのアクセスが可能とされ、また、分岐命令の分岐先を全てのメモリ空間へ設定することが可能とされる構成となっている。

【0068】以下では、本実施例と前記第1の実施例との相違点のみを説明する。図3を参照して、外部ROM21は、専用の装置を使うことによりユーザーが書き込み可能なメモリであり、外部バス20を通じてポート19と接続されている。外部ROM21のメモリ空間は、アドレス8000H～FFFFH（図4参照）とされる。

【0069】外部バス20は、16ビット幅のバスである。ポート19は、アドレスバス2から受け取ったアドレス信号を外部ROM21に送り、外部ROM21から受け取ったデータをデータバス11に出力する。

【0070】分岐先アドレスレジスタ18は、分岐命令出力回路17から出力される分岐命令の分岐先アドレスを設定するための記憶回路で、この回路を具備することにより任意のアドレスに分岐することが可能になる。

【0071】次に、本実施例の動作について説明する。図4に本実施例に係るマイクロコンピュータのメモリマップを示す。

【0072】図4を参照して、マイクロコンピュータ22のメモリ空間において、プログラムは、ROM16のアドレス1000H～7FFFFH、及び外部ROM21のアドレス8000H～AFFFFHに格納されているものとする。

【0073】また、バグ部分は、ROM16のアドレス4000H～400FHに存在するものとし、このバグ部分を修正する修正プログラムは外部ROM21上のアドレスC000H～C02FHに格納されており、バグ部分の先頭アドレスデータ「4000H」は外部ROM21上のアドレスF000H～F001H（2バイト）に、修正プログラムの先頭アドレスである分岐先アドレ

スデータ「C000H」は、外部ROM21上のアドレスF002H～F003Hに格納されているものとする。

【0074】まず、プログラムのイニシャライズルーチンで外部ROM21上のバグ部分先頭アドレスおよび分岐先アドレスのデータが、ポート19を介して、それぞれレジスタ6、分岐先アドレスレジスタ18に転送される。

【0075】この結果、レジスタ6には、バグ先頭アドレス「4000H」、分岐先アドレスレジスタ18には分岐先アドレスデータ「C000H」がセットされる。 10

【0076】引き続き、通常のプログラムが実行され、フェッチポイント1が4000Hに達した時点で、命令キュー15には分岐命令出力回路17からの分岐命令が取り込まれる。

【0077】この際、分岐命令は、先に設定した分岐先アドレスレジスタ18の内容に従い、「BR !C000H」（アドレスC000Hへの分岐命令）となる。

【0078】CPU7では、この分岐命令を実行することにより、図4に示すように、アドレスC000H以降の修正プログラムが実行される。そして、修正プログラムの最後の部分に「BR !4010H」（アドレス4010Hへの分岐命令）を入れておき、修正プログラム実行後、元のROM16上のプログラムが実行されるようにする。 20

【0079】以上の方法により、外部ROMを有するマイクロコンピュータにおいて、プログラムのバグ部分を回避し、修正プログラムを実行させることができる。

【0080】本発明の第2の実施例によれば、外部ROMから修正プログラムをマイクロコンピュータ内に取り 30 込まなくて済むため、プログラムのイニシャライズルーチンが簡便化されると共に、フェッチポイントがバグ部分に達した際の分岐先アドレスを自由に設定できるため、プログラムや修正プログラムのメモリ上の位置やサイズについての設計自由度を増大させている。

【0081】また、本発明の第2の実施例においても、修正プログラムのプログラムサイズは固定されていないため、単にバグの修正に対処するためだけでなく、新たなプログラムの追加等に利用することができる。

【0081】なお、上記各実施例では、マイクロコンピュータ内に一のレジスタ6と一の分岐命令発生回路9を備えた構成に基づき説明したが、バグ先頭アドレスを記憶するレジスタを複数備え、これに対応した分岐命令先アドレスを出力する分岐命令出力回路9を複数具備するように構成してもよいことは勿論である。この場合、比較回路5はフェッチポイント1の内容と複数のレジスタの内容とを比較し、内容が一致したレジスタに対応する分岐命令出力回路の出力が選択回路8を介して出力される。このように構成することにより、複数のバグに対応して、それぞれ異なる修正を行うことができる 50

ようになる。

【0082】以上本発明を上記実施例に即して説明したが、本発明は、上記態様にのみに限定されるものでなく、本発明の原理に準ずる各種態様を含む。例えば、上記実施例で説明したアドレス、データが16ビット構成のマイクロコンピュータ及びメモリマップ等はあくまで本発明の理解を容易にするためだけのものと解釈されるべきであり、また、本発明は例えば32ビットマイクロコンピュータ等にも同様に適用できることは勿論である。

【0083】

【発明の効果】以上説明したように、各請求項に記載される本発明は下記のような効果を有する。

【0084】マイクロコンピュータのROM上のプログラムにバグは発生しても、バグの修正が可能とされるため、それらのマイクロコンピュータを廃棄せずに有効に利用することを可能とし、損失を回避する。

【0085】また、デバッグが完全でなくプログラム中にバグの存在する可能性があっても、後で修正が可能とされているため、大きな損害の心配なしにマイクロコンピュータの発注ができる。

【0086】さらに、修正プログラムのサイズが固定されていないため、単にバグの修正だけでなく、プログラムの追加に本発明を利用することができる。

【0087】そして、本発明（請求項2、6、9）によれば、バグ先頭アドレスが指定するレジスタには、インタフェース又はポート等を介して外部からその値が設定され、バグの発生箇所に対応して適宜対処することができる。

【0088】また、本発明の別の視点（請求項3、7）によれば、外部ROMから修正プログラムをマイクロコンピュータ内に取り込まなくて済むため、プログラムのイニシャライズルーチンが簡便化される。さらに、フェッチポイントがバグ部分に達した際の分岐先アドレスを自由に設定できるため、プログラムや修正プログラムのメモリ上の位置やサイズの制約が緩和され、設計自由度が増大するため、プログラム設計が容易になる。

【0089】さらにまた、本発明（請求項5、8）によればマイクロコンピュータ内にレジスタと分岐命令発生回路を複数具備することにより、複数のバグに対して、それぞれ異なる修正を行うことができるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るマイクロコンピュータの構成を示すブロック図である。

【図2】本発明の第1の実施例に係るマイクロコンピュータのメモリマップを示す図である。

【図3】本発明の第2の実施例に係るマイクロコンピュータの構成を示すブロック図である。

【図4】本発明の第2の実施例に係るマイクロコンピュータのメモリマップである。

15

16

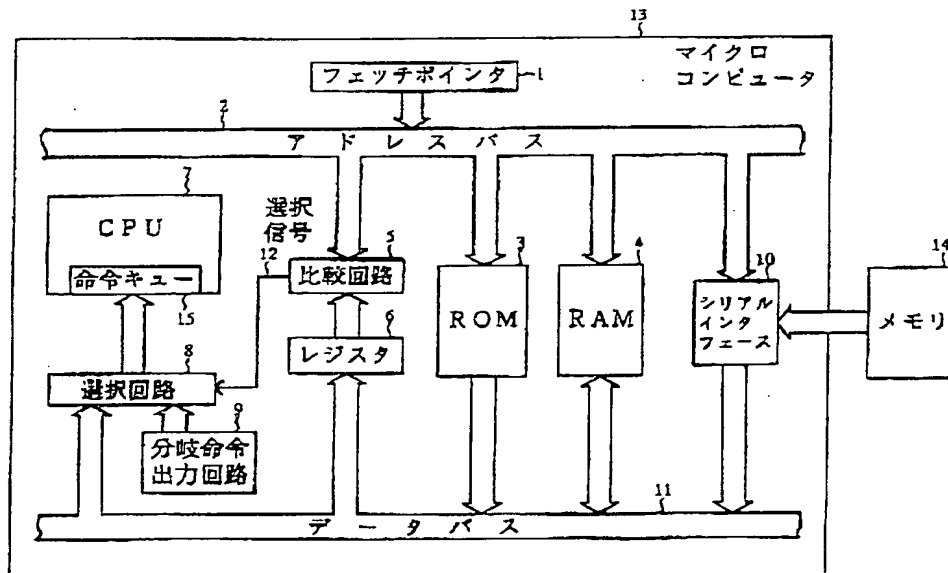
【図5】 先行技術に係るマイクロコンピュータの構成の一例を示すブロック図である。

【符号の説明】

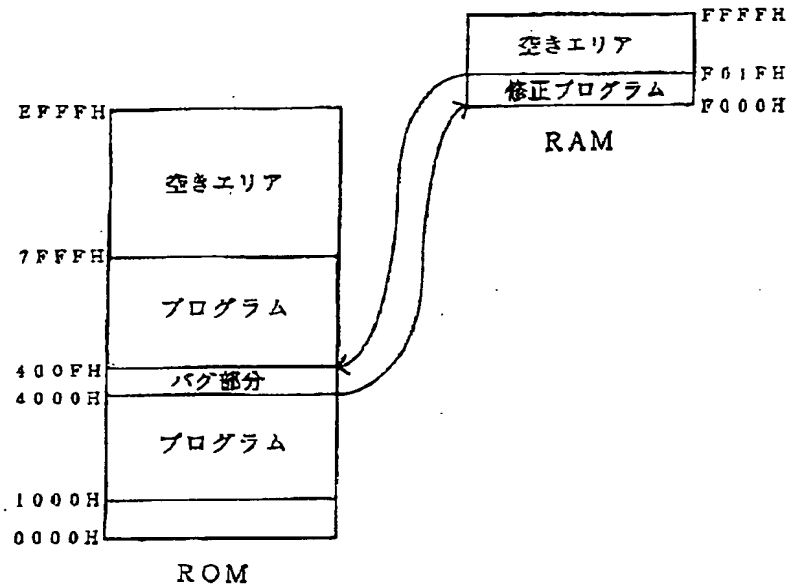
- 1 フェッチポインタ  
2 アドレスバス  
3、16 ROM  
4 RAM  
5 比較回路  
6 レジスタ  
7、24 CPU  
8 選択回路  
9、17 分岐命令出力命令

- 10 シリアルインタフェース  
11 データバス  
12 選択信号  
13、22、25 マイクロコンピュータ  
14 メモリ  
15 命令キュー  
18 分岐先アドレスレジスタ  
19 ポート  
20 外部バス  
10 21 外部ROM  
23 プログラムカウンタ

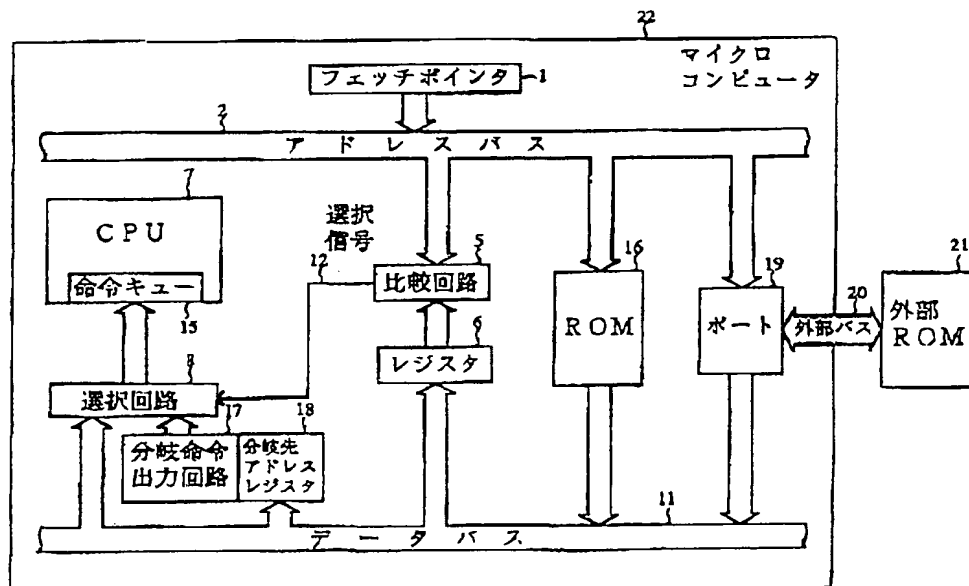
【図1】



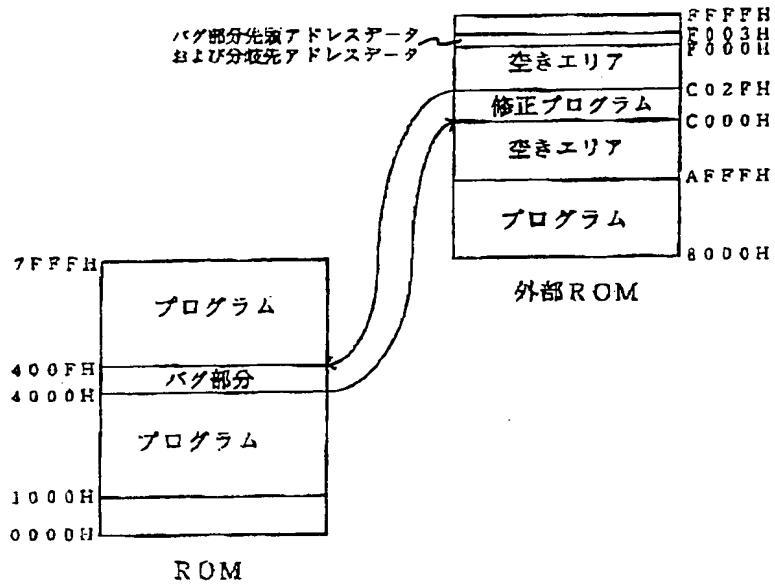
【図2】



【図3】



【図4】



【図5】

